



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0006823
Application Number

출 원 년 월 일 : 2003년 02월 04일
Date of Application FEB 04, 2003

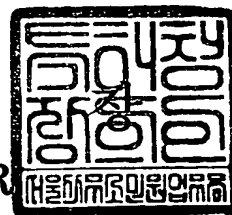
출 원 인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 12 월 05 일

특 허 청

COMMISSIONER





1020030006823

출력 일자: 2003/12/11

【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0145		
【제출일자】	2003.02.04		
【발명의 명칭】	비휘발성 메모리 제조 방법		
【발명의 영문명칭】	METHOD FOR MANUFACTURING NON-VOLATILE MEMORY		
【출원인】			
【명칭】	아남반도체 주식회사		
【출원인코드】	1-1998-002671-9		
【대리인】			
【성명】	장성구		
【대리인코드】	9-1998-000514-8		
【포괄위임등록번호】	1999-068046-1		
【대리인】			
【성명】	김원준		
【대리인코드】	9-1998-000104-8		
【포괄위임등록번호】	1999-068052-0		
【발명자】			
【성명의 국문표기】	고관주		
【성명의 영문표기】	KOH, Kwan Ju		
【주민등록번호】	691123-1622428		
【우편번호】	420-729		
【주소】	경기도 부천시 원미구 중4동 금강마을 407-101		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	10	면	29,000 원
【가산출원료】	0	면	0 원

1020030006823

출력 일자: 2003/12/11

【우선권주장료】	0	건	0	원
【심사청구료】	4	항	237,000	원
【합계】	266,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 구조의 비휘발성 메모리를 제조하는 방법에 관한 것이다. 기술이 발전함에 따라 SOC(System on Chip) 기술을 필요로 하고 최근에는 그 중요성이 크게 대두되고 있다. SOC란 한 칩내에서 여러가지 기능을 할 수 있는, 즉 기본적인 "Logic, Sonos, Flasys" 등의 기술을 말한다. 하지만 이러한 기술을 얻기 위해서는 공정이 복잡하게 이루어 진다는 단점이 있다. 본 발명은 SONOS 구조의 비휘발성 메모리 제조 시 다마신 공정을 이용하고 로직과 플래시스 셀을 동시에 생성시킨다. 따라서, 패턴 공정(pattern process)이 단순화 되고 공정을 안정적으로 제어할 수 있다..

【대표도】

도 1j

【색인어】

다마신, SONOS, 플래시스

【명세서】**【발명의 명칭】**

비휘발성 메모리 제조 방법 {METHOD FOR MANUFACTURING NON-VOLATILE MEMORY}

【도면의 간단한 설명】

도 1a 내지 도 1j는 본 발명에 따른 비휘발성 메모리 제조 방법의 일 실시예를 공정별로 나타낸 단면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <2> 본 발명은 비휘발성 메모리(non-volatile memory) 제조 방법에 관한 것으로, 특히, SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 구조의 비휘발성 메모리를 제조하는 방법에 관한 것이다.
- <3> 일반적으로 반도체 메모리 장치는 크게 휘발성 메모리(volatile memory)와 비휘발성 메모리로 구분된다. 휘발성 메모리의 대부분은 DRAM(Dynamic Random Access Memory) 및 SRAM(Static Random Access Memory) 등의 RAM이 차지하고 있으며, 전원 인가시 데이터의 입력 및 보존이 가능하지만, 전원 제거시 데이터가 휘발되어 보존이 불가능한 특징을 가진다. 반면에, ROM(Read Only Memory)이 대부분을 차지하고 있는 비휘발성 메모리는 전원이 인가되지 않아도 데이터가 보존되는 특징을 가진다.

- <4> 현재, 공정기술 측면에서 비휘발성 메모리 장치는 플로팅 게이트(floating gate) 계열과 두 종류 이상의 유전막이 2중, 혹은 3중으로 적층된 MIS(Metal Insulator Semiconductor) 계열로 구분된다.
- <5> 플로팅 게이트 계열의 메모리 장치는 전위 우물(potential well)을 이용하여 기억 특성을 구현하며, 현재 플래시 EEPROM(Electrically Erasable Programmable Read Only Memory)으로 가장 널리 응용되고 있는 ETOX(EPROM Tunnel Oxide) 구조가 대표적이다.
- <6> 반면에 MIS 계열은 유전막 벌크, 유전막-유전막 계면, 및 유전막-반도체 계면에 존재하는 트랩(trap)을 이용하여 기억 기능을 수행한다. 현재 플래시 EEPROM으로 주로 응용되고 있는 MONOS/SONOS(Metal/Silicon ONO Semiconductor)구조가 대표적인 예이다.
- <7> 기술이 발전함에 따라 SOC(System on Chip) 기술을 필요로 하고 최근에는 그 중요성이 크게 대두되고 있다. SOC란 한 칩내에서 여러가지 기능을 할 수 있는, 즉 기본적인 "Logic, Sonos, Flasys" 등의 기술을 말한다. 하지만 이러한 기술을 얻기 위해서는 공정이 복잡하게 이루어 진다는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <8> 본 발명은 상술한 결점을 해결하기 위하여 안출한 것으로, SONOS 구조의 비휘발성 메모리 제조 시 다마신 공정(damascene process)을 이용하고 로직과 플래시스 셀(flasys cell)을 동시에 생성시키는 비휘발성 메모리 제조 방법을 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

- <9> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명하면 다음과 같다.

- <10> 도 1a 내지 도 1j는 본 발명에 따른 비휘발성 메모리 제조 방법의 일 실시예를 공정별로 나타낸 단면도이다. 본 발명은 플래시 구조와 로직 영역(logic area)을 도면에서 구분하였다. 즉, 도면의 중심에서 좌측이 플래시 구조이고 도면의 중심에서 우측이 로직 영역이다.
- <11> 먼저, 도 1a와 같이 실리콘 기판(10) 위에 산화막(12)을 증착한다. 플래시 소자와 로직 게이트(logic gate)가 생성될 영역의 산화막(12)을 제거한다. 이때 산화막(12)의 두께는 소자에 따라 달리 할 수 있으나 보통 게이트의 크기에 따라 조절 가능하며 예로, 약 2000 Å 내지 3000 Å 정도가 알맞다.
- <12> 도 1b와 같이 기판(10)의 오픈(open)된 표면에 터널 산화막(tunnel oxide)(14)을 증착한다. 전표면에 제 1 폴리실리콘(polysilicon)(16)을 증착한다. 경우에 따라서는 플래시 오픈 영역에 임플란트(implant)를 실시하여 V_t 를 콘트롤(control)할 수도 있다.
- <13> 도 1c와 같이 제 1 폴리실리콘(16)을 산화막(12) 표면까지 화학적 기계적 연마(CMP)한다. 습식 식각하여 산화막(12)을 제거한다.
- <14> 도 1d와 같이 터널 산화막(14) 영역을 제외한 영역의 기판(10) 상측에 LDD(18)를 형성한다.
- <15> 도 1e와 같이 제 1 폴리실리콘(16)의 측면에 측벽(sidewall)(20)을 형성한다. 측벽(20) 영역을 제외한 LDD(18) 하부에 소오스(source) 및 드레인(drain)을 형성한다. 이때, 제 1 폴리실리콘(16)과 측벽(20) 사이에는 산화막이 형성되어 있는데 이것은 소오스 및 드레인을 형성하는 과정에 있어서, 임플란트 공정시 제 1 폴리실리콘(16)을 보호하기 위해 형성했던 것이다.
- <16> 도 1f와 같이 플래시 소자 영역을 제외한 표면에 TEOS(Tetra Ethyl Ortho Silicate)(22)를 증착한다.

- <17> 도 1g와 같이 전표면에 ONO(Oxide-Nitride-Oxide)(24)를 증착한다.
- <18> 도 1h와 같이 컨트롤 게이트를 형성하기 위한 제 2 폴리실리콘(26)을 전표면에 증착한다.
- <19> 도 1i와 같이 TEOS(22) 표면까지 화학적 기계적 연마한다.
- <20> 도 1j와 같이 습식 식각하여 TEOS(22)를 제거한다.
- <21> 한편, 본 발명은 상술한 실시예에 국한되는 것이 아니라 후술되는 청구범위에 기재된 본 발명의 기술적 사상과 범주 내에서 당업자에 의해 여러 가지 변형이 가능하다.

【발명의 효과】

- <22> 이상에서 설명한 바와 같이, 본 발명은 SONOS 구조의 비휘발성 메모리 제조 시 다마신 공정을 이용하고 로직과 플래시스 셀을 동시에 생성시킨다. 따라서, 패턴 공정(pattern process)이 단순화 되고 공정을 안정적으로 제어할 수 있다.

【특허청구범위】**【청구항 1】**

기판 위에 산화막을 형성하는 제 1 단계;

플래시스 소자와 로직 게이트가 생성될 영역의 상기 산화막을 제거하는 제 2 단계;

상기 기판의 오픈된 표면에 터널 산화막을 형성하는 제 3 단계;

전표면에 제 1 폴리실리콘을 형성하는 제 4 단계;

상기 제 1 폴리실리콘을 상기 산화막 표면까지 연마하는 제 5 단계;

상기 산화막을 제거하는 제 6 단계;

상기 터널 산화막 영역을 제외한 영역의 상기 기판 상측에 LDD를 형성하는 제 7 단계;

상기 제 1 폴리실리콘의 측면에 측벽을 형성하는 제 8 단계;

상기 측벽 영역을 제외한 LDD 하부에 소오스 및 드레인을 형성하는 제 9 단계;

플래시스 소자 영역을 제외한 표면에 TEOS를 형성하는 제 10 단계;

전표면에 ONO를 형성하는 제 11 단계;

제 2 폴리실리콘을 전표면에 형성하는 제 12 단계;

상기 TEOS 표면까지 연마하는 제 13 단계; 및

상기 TEOS를 제거하는 제 14 단계를 포함하는 비휘발성 메모리 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 기판은 실리콘 기판인 비휘발성 메모리 제조 방법.

【청구항 3】

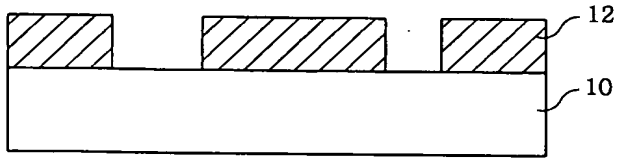
제 1 항에 있어서, 상기 산화막의 두께는 2000Å 내지 3000Å인 비휘발성 메모리 제조 방법.

【청구항 4】

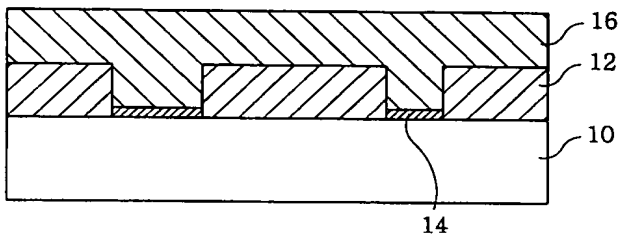
제 1 항에 있어서, 상기 연마는 화학적 기계적 연마인 비휘발성 메모리 제조 방법.

【도면】

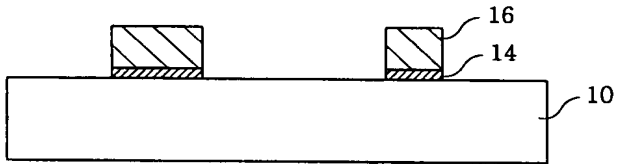
【도 1a】



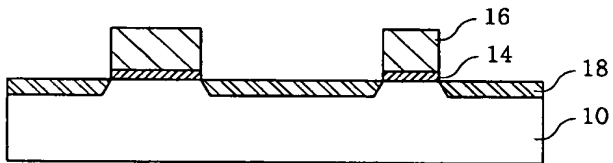
【도 1b】



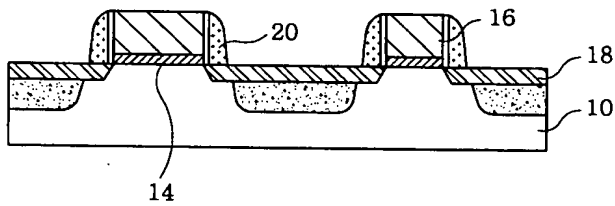
【도 1c】



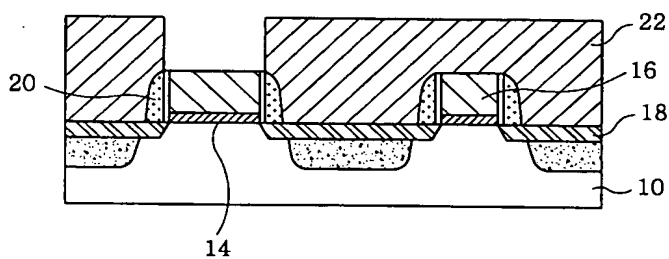
【도 1d】



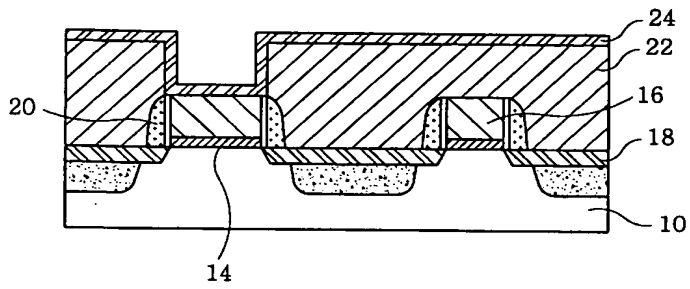
【도 1e】



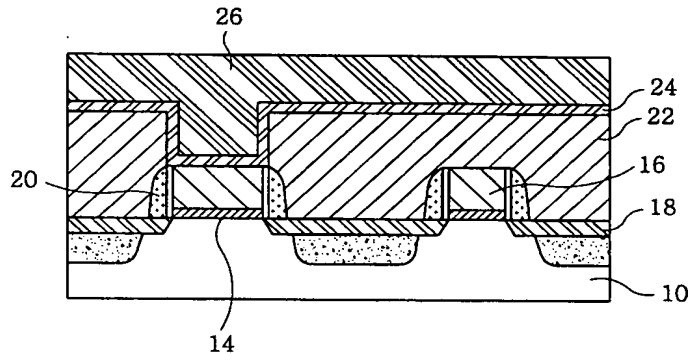
【도 1f】



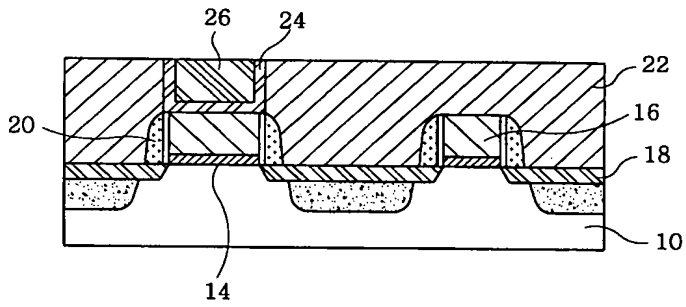
【도 1g】



【도 1h】



【도 1i】



【도 1j】

